



Hi3093

产品简介

文档版本 01

发布日期 2024-04-26

版权所有 © 海思技术有限公司2026。保留一切权利。

非经本公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式传播。

商标声明



HISILICON、海思和其他海思商标均为海思技术有限公司的商标。

本文档提及的其他所有商标或注册商标，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受海思公司商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，海思公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

海思技术有限公司

地址：上海市青浦区虹桥港路2号101室 邮编：201721

网址：<https://www.hisilicon.com/cn/>

客户服务邮箱：support@hisilicon.com



前言

概述

本文档简要描述芯片的功能特性。

读者对象

本文档主要适用于以下工程师：

- 技术支持工程师等

符号约定

在本文中可能出现下列标志，它们所代表的含义如下。

符号	说明
 危险	表示如不避免则将会导致死亡或严重伤害的具有高等级风险的危害。
 警告	表示如不避免则可能导致死亡或严重伤害的具有中等级风险的危害。
 注意	表示如不避免则可能导致轻微或中度伤害的具有低等级风险的危害。
 须知	用于传递设备或环境安全警示信息。如不避免则可能会导致设备损坏、数据丢失、设备性能降低或其它不可预知的结果。 “须知”不涉及人身伤害。
 说明	对正文中重点信息的补充说明。 “说明”不是安全警示信息，不涉及人身、设备及环境伤害信息。



修订记录

修订日期	版本	修订说明
2023-11-30	00B01	第1次临时版本发布。
2024-04-26	01	第1次正式版本发布。

手册使用约束

须知

使用芯片时，需按照芯片手册注明的功能、性能、配置步骤等信息进行软硬件开发，未按手册注明的信息进行操作，可能会出现不可预知风险。任何不按手册注明的信息进行的应用需得到芯片SE或者FAE书面认可才能进行。切勿依商用器件经验推测，否则后果自行承担，谢谢！



目录

前言.....	i
1 Hi3093 产品简介.....	1
1.1 概述.....	1
1.2 功能特性简述.....	2
1.2.1 处理器核.....	2
1.2.2 DDR 接口.....	3
1.2.3 外部接口.....	3
1.2.4 加速器功能.....	3
1.2.5 显示功能.....	3
1.2.6 安全功能.....	3
1.2.7 其他接口.....	4
1.3 硬件特性简述.....	4
1.3.1 参考时钟.....	4
1.3.2 封装尺寸.....	4



插图目录

图 1-1 逻辑框图.....	2
-----------------	---



表格目录

表 1-1 Hi3093 工作时钟.....	4
表 1-2 Hi3093 封装尺寸.....	4



1 Hi3093 产品简介

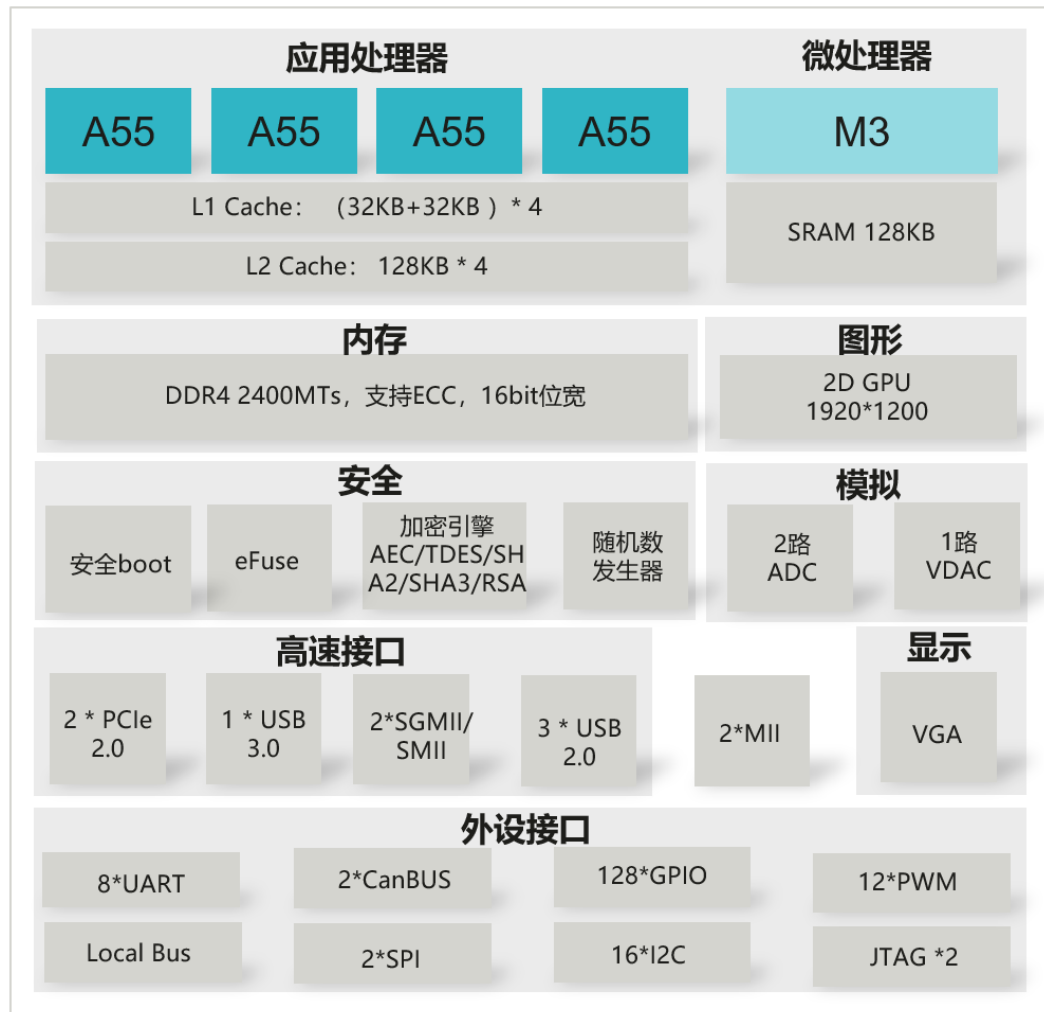
1.1 概述

Hi3093是一款针对工控、IOT网关等领域的通用MPU芯片，包括一个最高1GHz主频的四核A55 处理器，一个200MHz的M3协处理及主频为400MHz的M3安全核。芯片支持本地显示VGA，多个GE网口和RMII接口，以及其它丰富的工业级外设接口，可满足客户多样化的业务场景需求。

系统从功能维度分为5个子系统：

- A5X子系统：包含A55和GIC。
- 高速外设（HP）子系统：包含SGMII/RMII、USB3.0、USB2.0、Serdes。
- 低速外设（LP）子系统：包含M3、安全M3、HPRE、CER、SEC、TRNG、efuse、DMAC、SFC、LocalBus、eMMC、ROM、RAM、UART、I2C、C80、KCS、mailbox、BT、SOL、WATCHDOG、SPI、SGPIO、Sysctrl、MDIO、SDIO、GPIO、RTC、PWM、时钟、复位、IOCONFIG、JLC、HOSTUART、AD。
- HOST子系统：包含PCIE0、PCIE1、GPU、VCE、HOSTRTC。
- DDR子系统：包含DDRC和DDR PHY。

图 1-1 逻辑框图



1.2 功能特性简述

1.2.1 处理器核

- 集成一个cluster，cluster里4个A55处理器，频率最高1GHz，可以静态配置分频。
- A55为64位处理器，兼容ARM V8指令集。
- 支持CAS指令。
- L1 Icache 32KB/L1 Dcache 32KB/L2 Cache 128KB。
- 支持Crpto加速/Dot Product指令集、支持浮点1.0Gflops/Core。
- 支持L1/L2cache/TLB保护。
- 处理器核内都带有硬件浮点处理单元，支持IEEE754标准单双精度浮点运算。
- 支持中断控制器GIC，支持GIC-V3架构规范。



1.2.2 DDR 接口

- 集成单通道DDR，支持DDR4 16bits@2400MHz，支持片内ECC校验。
- 非安全区提供容量128KB的SRAM。
- 安全区提供1块256KB SRAM。

1.2.3 外部接口

- 集成4个MAC控制器，其中2路为RMII接口，另外2路为SGMII接口满足10M/100M/1000M应用。
- 集成2个PCI-E控制器，支持PCI Gen2标准。
- 集成3个USB2.0控制器，其中2个仅支持Device模式，另1个支持Host/Device模式可配。
- 集成1个USB3.0控制器，支持Host/Device模式可配。
- 集成SD2.0、MMC4.5版本控制器，灵活解决可插拔存储卡应用。
- 集成local bus接口，支持Nor Flash启动。
- 集成一个ADC控制器，支持模拟电压检测。
- 集成一路DAC，输出VGA信号。
- 集成2路SFC控制器，对接SPI Flash器件，支持SFC0启动。
- 集成1个Can2.0控制器。
- 集成16路FAN和12路PWM。
- 集成16路I2C。
- 集成8路UART，支持1路全功能模式，支持内部控制器全功能互联。
- 4个GPIO控制器（129根GPIO管脚与功能管脚复用）。
- 2个SPI。

1.2.4 加速器功能

- 支持密钥吊销。
- 提供了高性能并针对业务处理优化设计的16通道DMAC。

1.2.5 显示功能

- 支持VGA接口显示输出。
- 集成视频图形数据压缩模块VCE对图像数据进行压缩处理，支持录屏、下电截屏功能。

1.2.6 安全功能

- 集成M3处理器，支持安全启动、bios校验及强身份识别。
- 集成仅安全核可访问ROM，容量为32KB。
- 集成eFuse支持整体安全方案。
- 集成硬件加解密引擎，支持RSA、ECDSA256、AES128-256、SHA256-512及HMAC算法。



- 支持真随机数发生器，速率16kbps。

1.2.7 其他接口

- 支持双BIOS启动，支持复位状态查询。
- 支持分业务模块独立复位。
- 集成7个WatchDog。
- 集成6个64bit Timer。
- 集成一个HOSTRTC和一个BMCRTC。
- 支持SOL串口数据保存。
- 支持黑匣子功能，通过PCIE接口将数据写入DDR缓存。
- 支持处理器JTAG调试。
- 集成系统控制器，提供系统时钟、复位及系统模式切换功能。
- 支持DRAM test。

1.3 硬件特性简述

1.3.1 参考时钟

表 1-1 Hi3093 工作时钟

参考时钟	用途
25MHz	系统工作时钟。
100MHz	PCIE0、PCIE1、GMAC、USB3 SerDes参考时钟（默认100M）。

1.3.2 封装尺寸

表 1-2 Hi3093 封装尺寸

芯片型号	封装尺寸	器件最大高度
Hi3093	17mm×17mm	-